

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Duk-Min Yi et al. :

Serial No.: 10/797,604 :

Filed: March 11, 2004 : Attorney Docket No. SEC.1066

For: MOS TRANSISTOR HAVING A MESH-TYPE GATE ELECTRODE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
**Customer Window, Mail Stop Missing Parts**  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date  
under the International Convention of the following Korean application:

Appln. No. 2003-0024780      filed April 18, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

  
Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: June 10, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0024780  
Application Number

출 원 년 월 일 : 2003년 04월 18일  
Date of Application APR 18, 2003

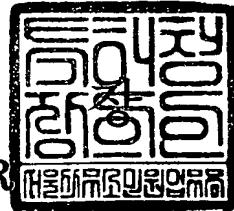
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 03 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2003.04.18
【국제특허분류】	H01L
【발명의 명칭】	게이트 캐패시턴스를 감소시킬 수 있는 트랜지스터
【발명의 영문명칭】	Transistor decreasing gate capacitance
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이덕민
【성명의 영문표기】	YI,Duk Min
【주민등록번호】	651101-1411813
【우편번호】	449-906
【주소】	경기도 용인시 기흥읍 서천리 SK 아파트 107-801
【국적】	KR
【발명자】	
【성명의 국문표기】	오한수
【성명의 영문표기】	OH,Han Su
【주민등록번호】	680326-1452711

【우편번호】 442-739  
【주소】 경기도 수원시 팔달구 영통동 황골마을주공1단지아파트 108-903  
【국적】 KR  
【발명자】  
【성명의 국문표기】 정철호  
【성명의 영문표기】 CHUNG,Chul Ho  
【주민등록번호】 731025-1459821  
【우편번호】 302-723  
【주소】 대전광역시 서구 관저동 구봉아파트 813동 902호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 8 면 8,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 20 항 749,000 원  
【합계】 786,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

게이트 캐패시턴스를 감소시킬 수 있는 트랜지스터를 개시한다. 개시된 본 발명의 트랜지스터는, 반도체 기판상의 소정 부분에 소자가 형성될 액티브 영역을 한정하는 소자 분리막이 형성된다. 이러한 반도체 기판상에 게이트 절연막을 사이에 두고 메쉬 형태의 게이트 전극이 형성되고, 상기 게이트 전극 양측의 액티브 영역에 각각 형성되는 소오스, 드레인 영역이 형성된다. 이때, 상기 액티브 영역에는 메쉬형 게이트 전극의 교차부를 포함하는 영역과 오버랩되도록 소자 분리막이 배치되어 있다.

**【대표도】**

도 3

**【색인어】**

게이트 캐패시턴스, 메쉬, 게이트 저항

**【명세서】****【발명의 명칭】**

게이트 캐패시턴스를 감소시킬 수 있는 트랜지스터{Transistor decreasing gate capacitance}

**【도면의 간단한 설명】**

도 1은 종래의 반도체 트랜지스터의 평면도이다.

도 2는 본 발명의 실시예 1에 따른 액티브 영역을 보여주는 평면도이다.

도 3은 도 2의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이다.

도 4는 도 3의 IV-IV' 선을 따라 절단한 단면도이다.

도 5는 본 발명의 실시예 2에 따른 소오스 전극 배선을 보여주는 평면도이다.

도 6은 본 발명의 실시예 2에 따른 드레인 전극 배선을 보여주는 평면도이다.

도 7은 본 발명의 실시예 2에 따라 소오스 및 드레인 전극 배선이 모두 형성된 상태를 보여주는 평면도이다.

도 8은 본 발명의 실시예 3에 따른 액티브 영역을 보여주는 평면도이다.

도 9는 도 8의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이다.

도 10은 도 9의 X-X' 선을 따라 절단하여 나타낸 단면도이다.

도 11은 본 발명의 실시예 4에 따른 액티브 영역을 보여주는 평면도이다.

도 12는 도 11의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이다.

(도면의 주요 부분에 대한 부호의 설명)

200, 300, 400 : 반도체 기판

205, 305, 405 : 액티브 영역

210a, 210b, 310a, 310b, 410 : 소자 분리막 220, 320, 420 : 게이트 전극

235a, 235b, 330a, 330b, 430a, 430b : 소오스, 드레인 영역

240 : 소오스 전극 배선 245 : 제 1 콘택부

250 : 드레인 전극 배선 255 : 제 2 콘택부

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 디바이스에 관한 것으로, 보다 구체적으로는, 게이트 캐패시턴스 및 게이트 저항을 개선시킬 수 있는 트랜지스터에 관한 것이다.

<20> 일반적으로 모스(MOS:metal oxide semiconductor) 트랜지스터는 게이트 전극 및 그 양측의 기판에 형성되는 소오스 및 드레인 영역으로 구성되며, 집적 회로를 구성하는 대표적인 디바이스 중 하나이다. 이러한 모스 트랜지스터는 메모리 소자 및 비메모리 소자에 걸쳐 제어, 논리 및 전력용 스위치로서 폭넓게 사용되고 있다.

<21> 모스 트랜지스터 중 고주파 디바이스에 이용되는 트랜지스터는 고전압이 인가되더라도 견딜 수 있도록 높은 항복 전압을 가지면서, 높은 스위칭 특성을 유지할 수 있도록 낮은 온 저항(on-resistance)을 갖는 것이 중요하다.

<22> 또한, 고주파 트랜지스터는 높은 발진 주파수를 얻을 수 있도록 게이트 저항을 감소시키는 것이 중요하며, 현재에는 고주파 트랜지스터의 게이트 전극의 저항을 감소시키기 위하여 스트라이프 형태에서 메쉬 형태(또는 와플 형태)로 게이트 전극을 설계하고 있다.

<23> 이러한 메쉬형 게이트 전극을 갖는 고주파 트랜지스터는 미합중국 특허 6,084,266호에 개시되어 있으며, 상기 특허에 개시된 고주파 트랜지스터를 도 1을 참조하여 개략적으로 설명 한다.

<24> 액티브 영역(120)이 한정된 반도체 기판(도시되지 않음)상에 메쉬 형태로 게이트 전극 (100)이 배열된다.

<25> 게이트 전극(100)의 양측 액티브 영역(120)에 고농도 불순물이 주입되어, 소오스 및 드레인 영역(S,D)이 형성된다. 이때, 소오스 및 드레인 영역(S,D)은 게이트 전극(100)을 사이에 두고 교대로 배치된다.

<26> 상기한 종래의 고주파 트랜지스터는 게이트 전극을 메쉬 형태로 배열함으로써 게이트 저항을 낮추고 단위 면적당 전류 구동 능력을 증대시킬 수 있었다. 그러나, 상기 메쉬 형태의 게이트 전극은 필연적으로 교차부가 발생되고, 상기 교차부는 고주파 트랜지스터의 전류 흐름에 기여하지 않고 단지 액티브 영역과 오버랩된다. 이로 인하여, 메쉬형 게이트 전극을 갖는 고주파 트랜지스터는 종래의 스트라이프형 게이트 전극을 갖는 고주파 트랜지스터(인용 문헌 6,084,266 특허의 도 1에 개시됨)에 비하여 게이트 캐패시턴스가 증대된다.

<27> 이를 보다 자세히 설명하면, 종횡으로 연장된 게이트 전극 부분(100)은 소오스 및 드레인 영역(120) 사이에 배치되어, 소오스 영역으로부터 드레인 영역으로 전류를 흐르게 하는 역할을 한다. 반면, 교차 부분은 소오스, 드레인 영역(120)의 모서리 부분에 각각 위치되어, 고주파 트랜지스터의 전류 흐름에 관여하지 않는다. 이에 따라, 메쉬 형태의 게이트 전극(110)은 이러한 교차부가 다수개 발생됨으로 인하여, 상대적으로 게이트 캐패시턴스를 증대시키는 것이다.



<28> 또한, Joachin N. Burghartz씨에 의하여 제안된 "TAILORING LOGIC CMOS FOR RF APPLICATION" 논문(2001년 IEEE 150 내지 153쪽)에 의하면, 고주파 트랜지스터의 전력 이득 및 전류 이득을 결정하는 최대 발진 주파수(maximum oscillation frequency : F<sub>max</sub>) 및 차단 주파수(cutoff frequency: F<sub>t</sub>)는 게이트 전극 저항(R<sub>g</sub>) 및 게이트 캐패시턴스(C<sub>g</sub>)와 반비례한다고 알려져 있다. 이러한 바, 상기와 같이 게이트 캐패시턴스가 증가되면, 비록 게이트 전극의 저항이 감소된다고 하더라도 높은 전력 이득 및 전류 이득을 얻을 수 없다.

#### 【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명의 목적은 게이트 저항을 감소시킴과 동시에 게이트 캐패시턴스를 감소시킬 수 있는 트랜지스터를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<30> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 트랜지스터는 반도체 기판상에 액티브 영역이 형성되고, 상기 반도체 기판상에 게이트 절연막을 사이에 두고 게이트 전극이 형성된다. 이때, 게이트 전극은 종방향 및 횡방향으로 연장되는 다수의 바 패턴에 의하여 매쉬 형태로 형성된다. 상기 게이트 전극 양측의 액티브 영역에 소오스 및 드레인 영역이 형성된다. 여기서, 상기 액티브 영역내에 상기 매쉬 형태의 게이트 전극의 교차부를 포함하는 부분과 오버랩되도록 소자 분리막이 배치된다.

<31> 또한, 본 발명의 다른 실시예에 의하면, 반도체 기판의 소정 부분에 액티브 영역이 형성되고, 상기 반도체 기판상에 게이트 절연막을 사이에 두고 게이트 전극이 형성된다. 게이트 전극은 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되어 매쉬 형태를 이룬다. 게이트 전극 양측의 액티브 영역에 각각에는 소오스 및 드레인 영역이 형성되고, 상기 반도체 기판

상부에 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되도록 제 1 전극 배선이 형성된다. 또한, 제 1 전극 배선 상부에 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되도록 제 2 전극 배선이 형성된다. 이때, 상기 게이트 전극의 교차부위와 대응되는 액티브 영역 각각에 메쉬 형상의 소자 분리막이 형성된다.

<32> 또한, 본 발명의 다른 실시예에 따르면, 반도체 기판상의 소정 부분에 액티브 영역이 형성되고, 상기 반도체 기판상에 게이트 절연막을 사이에 두고 게이트 전극이 형성된다. 게이트 전극은 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되어 메쉬 형상을 이룬다. 게이트 전극 양측의 액티브 영역에 소오스 및 드레인 영역이 형성되고, 상기 반도체 기판 상부에 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되도록 제 1 전극 배선이 형성된다. 또한, 상기 제 1 전극 배선 상부에, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되도록 제 2 전극 배선이 형성된다. 상기 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극 부분과 오버랩되도록 상기 액티브 영역내에 스트라이프 형상의 소자 분리막이 형성된다.

<33> 또한, 본 발명의 또 다른 실시예에 의하면, 반도체 기판의 소정 부분에 액티브 영역이 형성되고, 이러한 반도체 기판상에 게이트 절연막을 사이에 두고 게이트 전극이 형성된다. 게이트 전극은 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되어 메쉬 형태를 이룬다. 상기 게이트 전극 양측의 액티브 영역에 소오스 및 드레인 영역이 형성되고, 상기 반도체 기판 상부에 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되도록 제 1 전극 배선이 형성된다. 또한, 상기 제 1 전극 배선 상부에, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연

결되도록 제 2 전극 배선을 형성한다. 이때, 상기 액티브 영역은 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극 사이의 공간에 스트라이프 형태로 형성된다.

<34> 상기 소자 분리막은 STI막일 수 있으며, 상기 소오스 및 드레인 영역은 상기 게이트 전극을 사이에 두고 교대로 형성된다.

<35> 상기 제 1 및 제 2 전극 배선은 각각 사선 방향으로 연장되는 다수의 교차하는 바 패턴을 포함하여 메쉬 형태로 배열됨이 바람직하다.

<36> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어 질 수 있다.

<37> (실시예 1)

<38> 도 2는 본 발명의 실시예 1에 따른 액티브 영역을 보여주는 평면도이고, 도 3은 도 2의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이며, 도 4는 도 3의 IV-IV' 선을 따라 절단한 단면도이다.

<39> 도 2, 도 3 및 도 4를 참조하여, 반도체 기판(200) 상에 트랜지스터가 형성될 액티브 영역(205)이 한정되도록 제 1 소자 분리막(210a)이 형성된다. 제 1 소자 분리막(210a)은 예를 들어 STI(shallow trench isolation)막일 수 있으며, 액티브 영역(205)은 예를 들어 사각 플레이트(plate) 형태로 한정될 수 있다.

<40> 액티브 영역(205) 상부에 게이트 전극(220)이 배치된다. 게이트 전극(220)은 메쉬 형태 즉, 종횡으로 교차된 다수 개의 바 패턴(220a, 220b)을 포함하도록 배열되며, 바 패턴(220a, 220b)의 가장자리는 모두 전기적으로 연결되어 있을 수 있다. 메쉬형 게이트 전극(220)의 형성으로, 액티브 영역(205)은 격자 형태로 오픈된다. 이때, 게이트 전극(220)과 반도체 기판(200) 사이에는 게이트 절연막(215)이 개재되어 있다.

<41> 게이트 전극(220) 양측의 액티브 영역(205)에 고농도 불순물이 이온 주입되어 소오스 영역(235a:S) 및 드레인 영역(235b:D)이 형성된다. 상기 불순물은 반도체 기판의 불순물 타입과 반대의 불순물 타입이어야 한다. 아울러, 소오스 영역(235a:S) 및 드레인 영역(235b:D)은 게이트 전극(220)을 사이에 두고 교대로 배치된다.

<42> 본 실시예에서, 메쉬형 게이트 전극의 게이트 캐패시턴스를 최소화하기 위하여, 게이트 전극(220)의 교차부 각각에 메쉬(혹은 매트릭스) 형상의 제 2 소자 분리막(210b)이 형성된다. 제 2 소자 분리막(210b)은 제 1 소자 분리막(210a)과 마찬가지로 STI 방식으로 형성될 수 있으며, 제 1 소자 분리막(210a)과 동시에 형성될 수 있다. 또한, 제 2 소자 분리막(210b)은 게이트 전극(220)의 선폭보다 동일하거나, 크거나 혹은 작을 수 있다.

<43> 이와같은 본 실시예에 의하면, 게이트 전극(220)의 교차부에 제 2 소자 분리막(210b)이 형성됨에 따라, 제 2 소자 분리막(210b)이 교차부에 발생되는 게이트 캐패시터의 유전막으로 작용하게 되고, 교차부에 발생되는 캐패시터의 유전막의 두께를 증대시키게 되어, 결과적으로

게이트 캐패시턴스를 감소시킨다. 또한, 게이트 전극(220)의 교차부는 실질적으로 고주파 트랜지스터의 전류 흐름에 기여하지 않는 부분이므로, 교차부 하부에 제 2 소자 분리막(210b)이 형성된다하더라도 고주파 트랜지스터의 구동에 영향을 미치지 않는다.

<44> 또한, 게이트 전극(220)을 메쉬 형태로 배열시킴에 따라, 게이트 전극 저항을 감소시킬 수 있다.

<45> (실시 예 2)

<46> 도 5는 본 발명의 실시예 2에 따른 소오스 전극 배선을 보여주는 평면도이고, 도 6은 본 발명의 실시예 2에 따른 드레인 전극 배선을 보여주는 평면도이며, 도 7은 본 발명의 실시예 2에 따라 소오스 및 드레인 전극 배선이 모두 형성된 상태를 보여주는 평면도이다.

<47> 도 5 및 도 7을 참조하여, 게이트 전극(220), 소오스 영역(235a) 및 드레인 영역(235b)이 형성된 반도체 기판(200) 결과물 상부에 절연막(도시되지 않음)을 사이에 두고 소오스 전극 배선(240)이 형성된다. 소오스 전극 배선(240)은 교차하는 다수의 바 패턴(242a, 242b)을 포함하며, 바 패턴(242a, 242b)들은 사선 형태로 연장되어, 메쉬 구조를 이룬다. 소오스 전극 배선(240)은 상기 절연막(도시되지 않음)을 관통하는 제 1 콘택트(245)에 의하여 소오스 영역(235a)과 전기적으로 연결된다.

<48> 도 6 및 도 7을 참조하여, 소오스 전극 배선(240) 상부에 드레인 전극 배선(250)이 형성된다. 상기 도 6은 트랜지스터 상에 드레인 전극 배선(250)이 형성된 상태를 보여주며, 소오스 전극 배선(240)의 도시는 생략하였다. 이때, 소오스 전극 배선(240)과 드레인 전극 배선(250) 사이에는 절연막이 개재되어 두 배선(240, 250)은 전기적으로 절연된다. 이러한 드레인 전극 배선(250)은 소오스 전극 배선(240)과 마찬가지로 교차하는 다수의 바 패턴(252a, 252b)을 포함하



고, 바 패턴(252a, 252b)은 사선 형태로 배열된다. 이때, 드레인 전극 배선(250)의 바 패턴(252a)은 동일 방향으로 연장되는 소오스 전극 배선(240)의 바 패턴(242a) 사이에 각각 배치될 수 있다. 아울러, 드레인 전극 배선(250)은 절연막들(도시되지 않음)을 관통하는 제 2 콘택부(255)에 의하여 드레인 영역(235b)과 전기적으로 연결될 수 있다.

<49> 본 실시예에서는 소오스 전극 배선(240)을 하부에 형성하고, 드레인 전극 배선(250)을 상부에 형성하였지만, 순서를 바꾸어 배치할 수도 있다.

<50> 본 실시예의하면, 소오스 전극 배선(240) 및 드레인 전극 배선(250)을 다층의 메쉬 형태로 형성함에 따라, 배선 면적을 충분히 확보할 수 있어, 배선 저항을 한층 감소시킬 수 있다.

<51> (실시예 3)

<52> 도 8은 본 발명의 실시예 3에 따른 액티브 영역을 보여주는 평면도이고, 도 9는 도 8의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이며, 도 10은 도 9의 X-X'선을 따라 절단하여 나타낸 단면도이다.

<53> 도 8, 도 9 및 도 10에 도시된 바와 같이, 반도체 기판(300)의 소정 부분에 트랜지스터가 형성될 사각 플레이트 형상의 액티브 영역(305)이 한정되도록 제 1 소자 분리막(310a)이 형성된다. 제 1 소자 분리막(310a)은 예를 들어, STI막일 수 있다.

<54> 액티브 영역(305) 상부에 게이트 전극(320)이 배치된다. 게이트 전극(320)은 상기한 실시예 1에서 설명된 바와 같이, 메쉬 형태 즉, 종횡으로 교차된 다수 개의 바 패턴(320a, 320b)을 포함하도록 배열된다. 아울러, 게이트 전극(320)의 가장자리는 모두 전기적으로 연결되어 있을 수 있다. 이때, 게이트 전극(320)과 반도체 기판(300) 사이에는 게이트 절연막(315)이 개재되어 있다.

<55> 게이트 전극(320) 양측의 액티브 영역(305)에 고농도 불순물이 이온 주입되어 소오스 영역(330a:S) 및 드레인 영역(330b:D)이 형성된다. 상기 불순물은 반도체 기판의 불순물 타입과 반대의 불순물 타입이어야 하며, 소오스 영역(330a:S) 및 드레인 영역(330b:D)은 게이트 전극(320)을 사이에 두고 교대로 배치된다.

<56> 본 실시예에서는 메쉬형 게이트 전극(320)의 교차부에 발생되는 불필요한 게이트 캐패시턴스를 최소화하기 위하여, 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극(320)의 바 패턴(320a,320b) 하부에 스트라이프 형상의 제 2 소자 분리막(310b)이 형성된다. 제 2 소자 분리막(310b)의 단폭은 게이트 전극(320)의 선폭과 같거나 크거나 혹은 작을 수 있으며, 제 2 소자 분리막(310b)은 제 1 소자 분리막(310a)과 마찬가지로 STI 막일 수 있다.

<57> 이와같이 본 실시예에 의하면, 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극(320)의 바 패턴(320a,320b) 하부에 스트라이프 형상의 제 2 소자 분리막(310b)을 형성한다. 이에따라, 게이트 전극(320)의 교차부 하부에도 제 2 소자 분리막(310b)이 위치하게 되어, 게이트 캐패시턴스를 감소시킬 수 있다.

<58> 상기 도 7에서는 소오스 전극 배선 및 드레인 전극의 배선의 배열을 생략하였으나, 상기 실시예 1과 같이 메쉬 형태로 형성할 수 있다.

<59> (실시예 4)

<60> 도 11은 본 발명의 실시예 4에 따른 액티브 영역을 보여주는 평면도이고, 도 12는 도 11의 액티브 영역상에 형성된 트랜지스터를 보여주는 평면도이다.



<61> 도 11을 참조하여, 반도체 기판(400) 상에 다수의 액티브 영역(405)이 한정되도록 소자 분리막(410)이 형성된다. 액티브 영역(405)은 종방향 및 횡방향 중 어느 한 방향으로 연장되도록 스트라이프 형태로 형성된다.

<62> 액티브 영역(405) 상부에 게이트 전극(420)이 배치된다. 게이트 전극(420)은 상기한 실시예 1에서와 같이 메쉬 형태 즉, 종횡으로 교차된 다수 개의 바 패턴(420a, 420b)을 포함하도록 배열되며, 바 패턴(420a, 420b)의 가장자리는 모두 전기적으로 연결되어 있을 수 있다. 이때, 액티브 영역(405)은 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극(420)의 바 패턴(420a, 420b) 사이에 위치되는 것이 바람직하다. 또한, 게이트 전극(420)과 반도체 기판(400) 사이에는 게이트 절연막(415)이 개재된다.

<63> 게이트 전극(420) 양측의 액티브 영역(405)에 고농도 불순물이 이온 주입되어 소오스 영역(430a:S) 및 드레인 영역(430b:D)이 형성되고, 소오스 영역(430:S) 및 드레인 영역(330b:D)은 게이트 전극(220)을 사이에 두고 교대로 배치된다.

<64> 이와같이 액티브 영역(405)을 게이트 전극의 바 패턴 사이에 스트라이프 형태로 형성하여도 상기한 실시예들과 동일한 효과를 발휘할 수 있다.

### 【발명의 효과】

<65> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 트랜지스터의 게이트 전극 저항을 감소시키기 위하여 게이트 전극을 메쉬 형태로 형성하는 한편, 게이트 전극의 교차점 부위에 소자 분리막을 형성한다.



1020030024780

출력 일자: 2004/3/18

<66> 이와같이 게이트 캐패시턴스를 증대시키는 게이트 전극의 교차부에 소자 분리막을 형성 하므로써, 게이트 캐패시턴스를 감소시킬 수 있다. 이에 따라, 고주파 트랜지스터의 전력 이득 및 전류 이득을 개선할 수 있다.

<67> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.



1020030024780

출력 일자: 2004/3/18

## 【특허청구범위】

### 【청구항 1】

반도체 기판;

상기 반도체 기판의 소정 부분에 형성되는 액티브 영역;

상기 반도체 기판상에 게이트 절연막을 사이에 두고 형성되고, 종 방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되는 메쉬(mesh) 형태의 게이트 전극; 및

상기 게이트 전극 양측의 액티브 영역에 각각 형성되는 소오스 및 드레인 영역을 포함하며,

상기 액티브 영역내에 상기 메쉬 형태의 게이트 전극의 교차부를 포함하는 부분과 오버랩되도록 소자 분리막이 배치되어 있는 것을 특징으로 하는 트랜지스터.

### 【청구항 2】

제 1 항에 있어서, 상기 소자 분리막은 상기 액티브 영역내에 상기 게이트 전극의 교차부위와 대응되는 액티브 영역 각각에 메쉬 형상으로 형성되는 것을 특징으로 하는 트랜지스터.

### 【청구항 3】

제 1 항에 있어서, 상기 소자 분리막은 상기 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극의 바 패턴과 오버랩되도록 스트라이프 형태로 형성되는 것을 특징으로 하는 트랜지스터.



1020030024780

출력 일자: 2004/3/18

#### 【청구항 4】

제 1 항에 있어서, 상기 액티브 영역은 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극의 바 패턴 사이의 공간에 스트라이프 형태로 형성되는 것을 특징으로 하는 트랜지스터.

#### 【청구항 5】

제 1 항에 있어서, 상기 소자 분리막은 STI(shallow trench isolation)막인 것을 특징으로 하는 트랜지스터.

#### 【청구항 6】

제 1 항에 있어서, 상기 소오스 및 드레인 영역은 상기 게이트 전극을 사이에 두고 교대로 형성되는 것을 특징으로 하는 트랜지스터.

#### 【청구항 7】

제 1 항에 있어서, 상기 기판 상부에 형성되며, 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되는 제 1 전극 배선; 및

상기 제 1 전극 배선 상부에 형성되며, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되는 제 2 전극 배선을 더 포함하는 것을 특징으로 하는 트랜지스터.

#### 【청구항 8】

제 7 항에 있어서, 상기 제 1 및 제 2 전극 배선은 사선 방향으로 연장되는 다수의 교차하는 바 패턴을 포함하여 메쉬 형태로 배열되는 것을 특징으로 하는 트랜지스터.



1020030024780

출력 일자: 2004/3/18

### 【청구항 9】

반도체 기판;

상기 반도체 기판의 소정 부분에 형성되는 액티브 영역;

상기 반도체 기판상에 게이트 절연막을 사이에 두고 형성되고, 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되는 메쉬 형태의 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 각각 형성되는 소오스 및 드레인 영역;

상기 반도체 기판 상부에 형성되며, 상기 소오스 및 드레인 영역 중 어느 하나와 전기적으로 연결되는 제 1 전극 배선;

상기 제 1 전극 배선 상부에 형성되며, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역 중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되는 제 2 전극 배선; 및

상기 게이트 전극의 교차부위와 대응되는 액티브 영역 각각에 메쉬 형상의 소자 분리막을 포함하는 것을 특징으로 하는 트랜지스터.

### 【청구항 10】

제 9 항에 있어서, 상기 소자 분리막은 STI막인 것을 특징으로 하는 트랜지스터.

### 【청구항 11】

제 9 항에 있어서, 상기 소오스 및 드레인 영역은 상기 게이트 전극을 사이에 두고 교대로 형성되는 것을 특징으로 하는 트랜지스터.

**【청구항 12】**

제 9 항에 있어서, 상기 제 1 및 제 2 전극 배선은 각각 사선 방향으로 연장되는 다수의 교차하는 바 패턴을 포함하여 메쉬 형태로 배열되는 것을 특징으로 하는 트랜지스터.

**【청구항 13】**

반도체 기판;

상기 반도체 기판의 소정 부분에 형성되는 액티브 영역;

상기 반도체 기판상에 게이트 절연막을 사이에 두고 형성되고, 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되는 메쉬 형태의 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 각각 형성되는 소오스 및 드레인 영역;

상기 반도체 기판 상부에 형성되며, 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되는 제 1 전극 배선;

상기 제 1 전극 배선 상부에 형성되며, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되는 제 2 전극 배선; 및

상기 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극 부분과 오버랩되도록 상기 액티브 영역내에 형성되는 스트라이프 형상의 소자 분리막을 포함하는 것을 특징으로 하는 트랜지스터.

**【청구항 14】**

제 13 항에 있어서, 상기 소자 분리막은 STI막인 것을 특징으로 하는 트랜지스터.

**【청구항 15】**

제 13 항에 있어서, 상기 소오스 및 드레인 영역은 상기 게이트 전극을 사이에 두고 교대로 형성되는 것을 특징으로 하는 트랜지스터.

**【청구항 16】**

제 13 항에 있어서, 상기 제 1 및 제 2 전극 배선은 각각 사선 방향으로 연장되는 다수의 교차하는 바 패턴을 포함하여 메쉬 형태로 배열되는 것을 특징으로 하는 트랜지스터.

**【청구항 17】**

반도체 기판;

상기 반도체 기판의 소정 부분에 형성되는 액티브 영역;

상기 반도체 기판상에 게이트 절연막을 사이에 두고 형성되고, 종방향 및 횡방향으로 연장되는 다수의 바 패턴으로 구성되는 메쉬 형태의 게이트 전극;

상기 게이트 전극 양측의 액티브 영역에 각각 형성되는 소오스 및 드레인 영역;

상기 반도체 기판 상부에 형성되며, 상기 소오스 및 드레인 영역중 어느 하나와 전기적으로 연결되는 제 1 전극 배선; 및

상기 제 1 전극 배선 상부에 형성되며, 상기 제 1 전극 배선과는 전기적으로 절연되면서 상기 소오스 및 드레인 영역중 선택되지 않은 다른 하나의 영역과 전기적으로 연결되는 제 2 전극 배선을 포함하며,

상기 액티브 영역은 종방향 및 횡방향 중 어느 한 방향으로 연장되는 게이트 전극 사이의 공간에 스트라이프 형태로 형성되는 것을 특징으로 하는 트랜지스터.

**【청구항 18】**

제 17 항에 있어서, 상기 소자 분리막은 STI막인 것을 특징으로 하는 트랜지스터.

**【청구항 19】**

제 17 항에 있어서, 상기 소오스 및 드레인 영역은 상기 게이트 전극을 사이에 두고 교대로 형성되는 것을 특징으로 하는 트랜지스터.

**【청구항 20】**

제 17 항에 있어서, 상기 제 1 및 제 2 전극 배선은 각각 사선 방향으로 연장되는 다수의 교차하는 바 패턴을 포함하여 메쉬 형태로 배열되는 것을 특징으로 하는 트랜지스터.

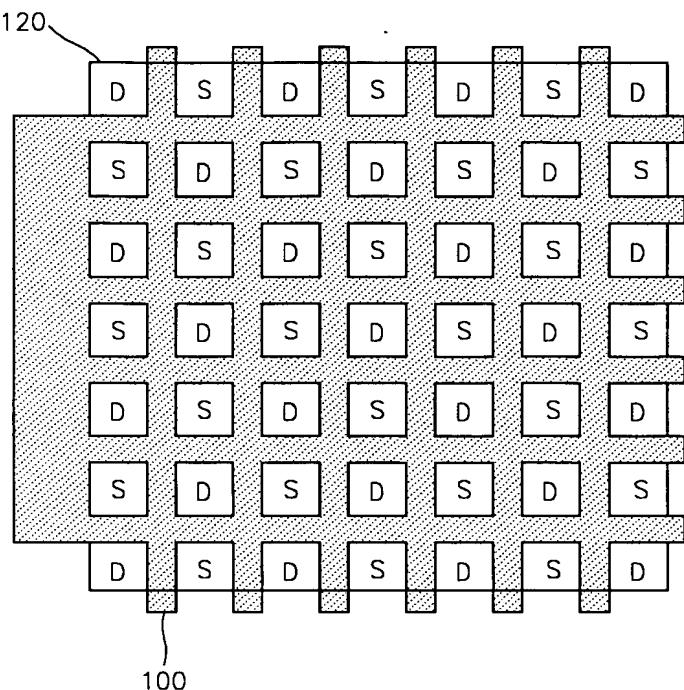


1020030024780

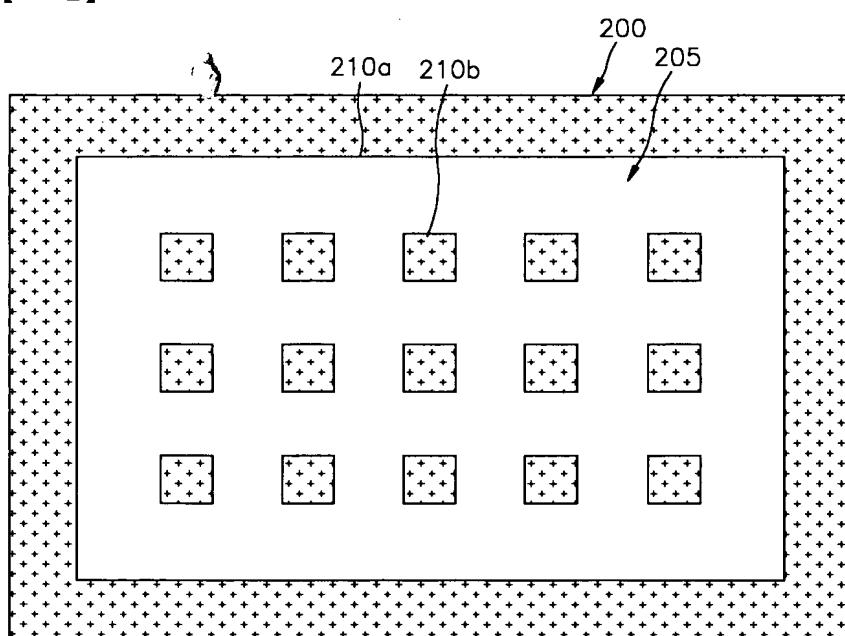
출력 일자: 2004/3/18

【도면】

【도 1】



【도 2】

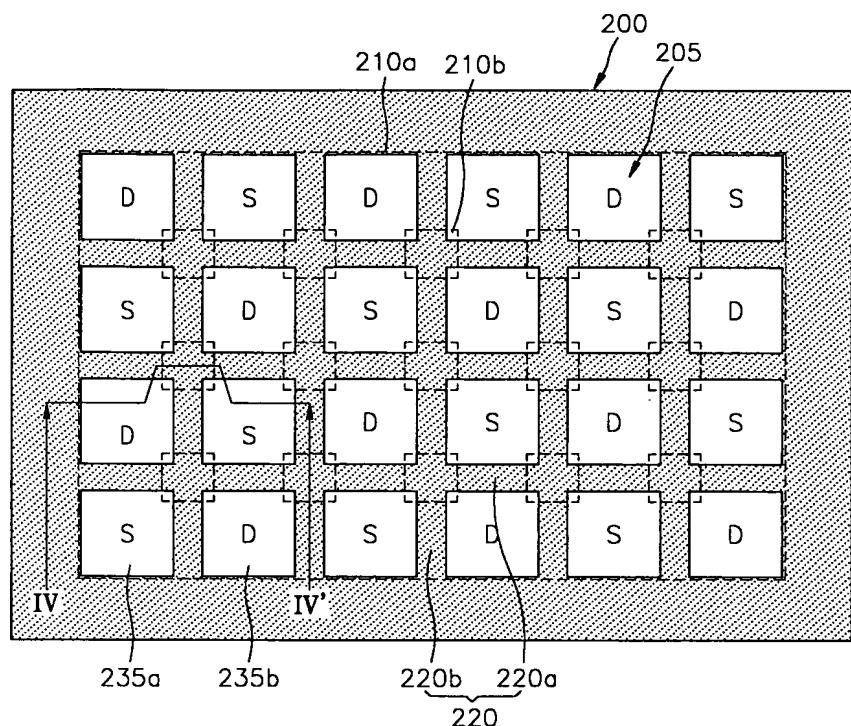




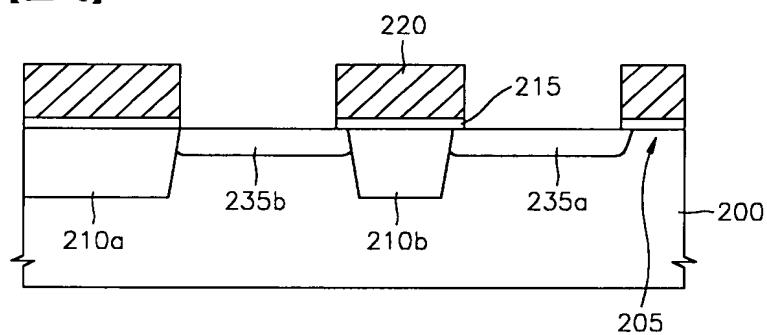
1020030024780

출력 일자: 2004/3/18

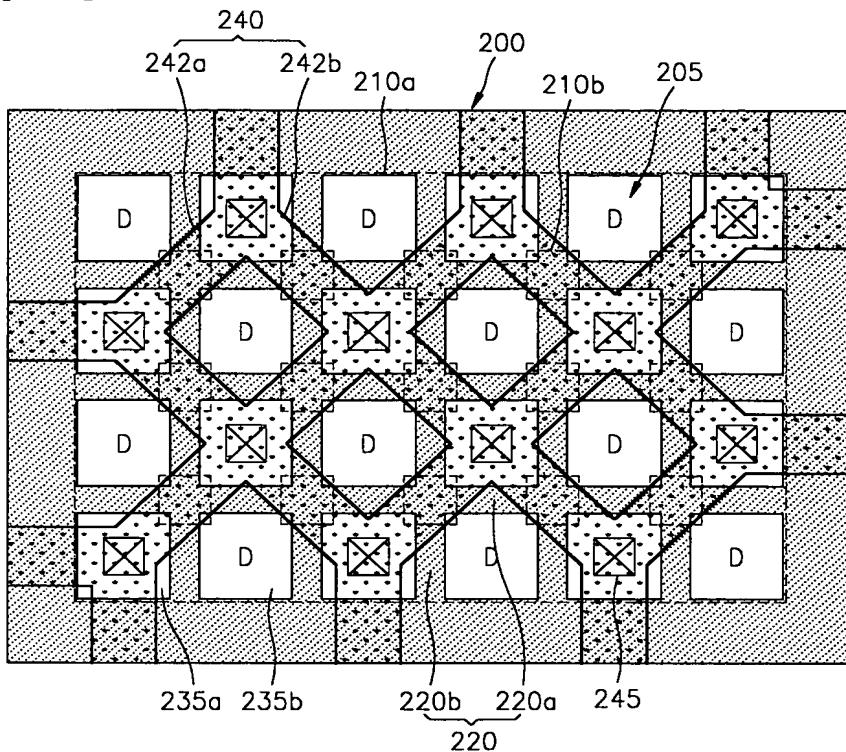
【도 3】



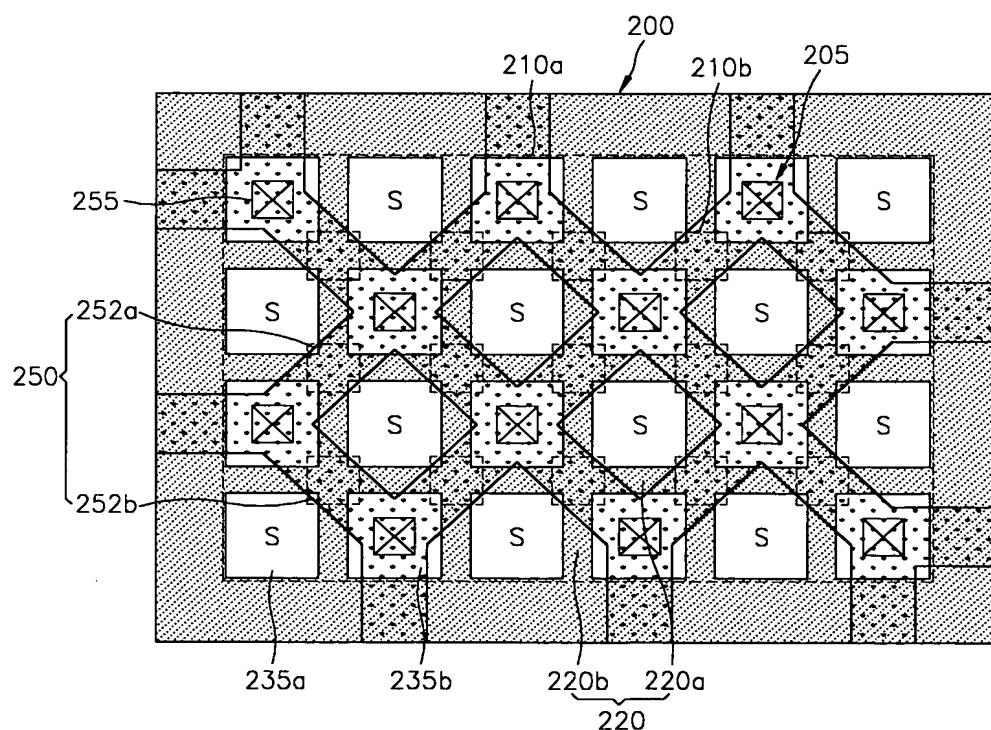
【도 4】



【도 5】



【도 6】

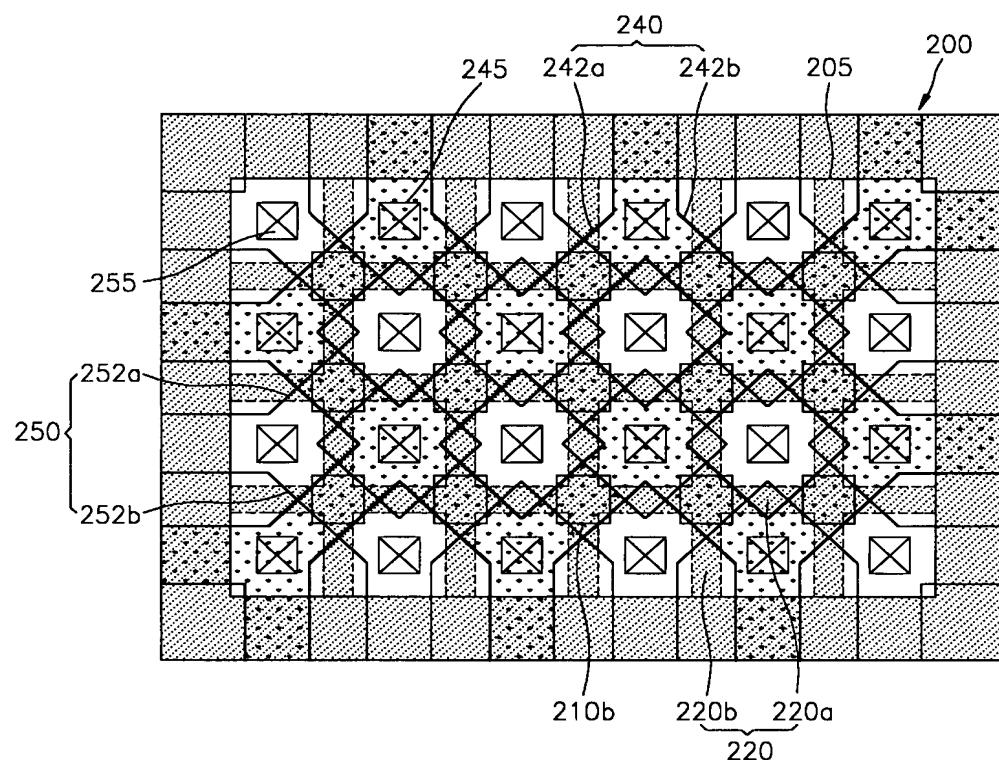




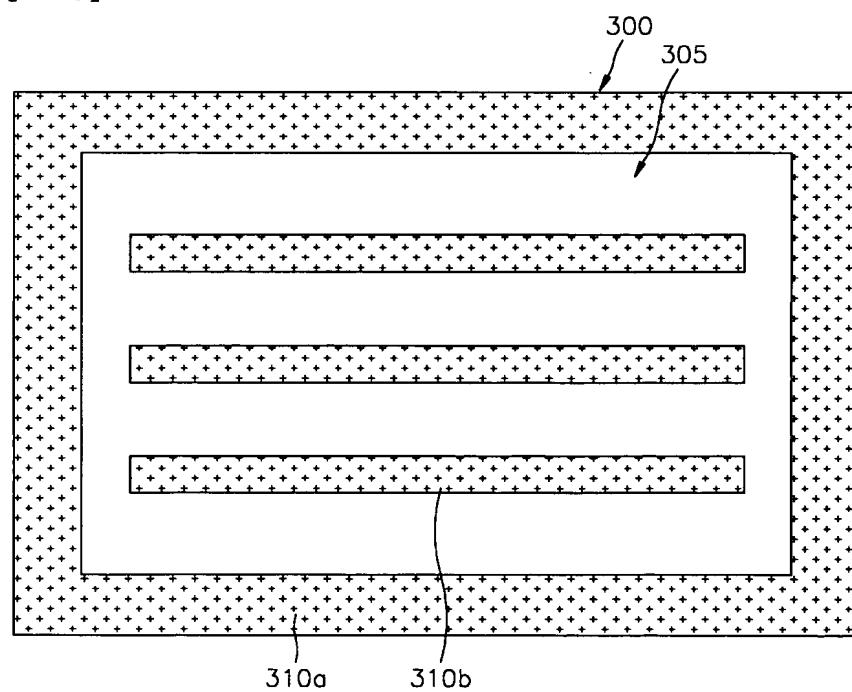
1020030024780

출력 일자: 2004/3/18

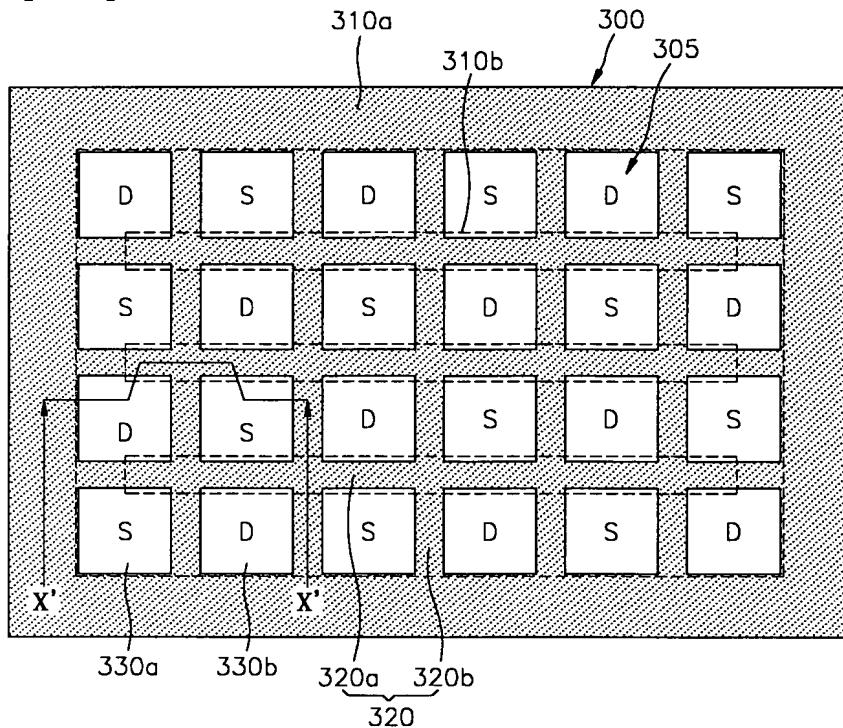
【도 7】



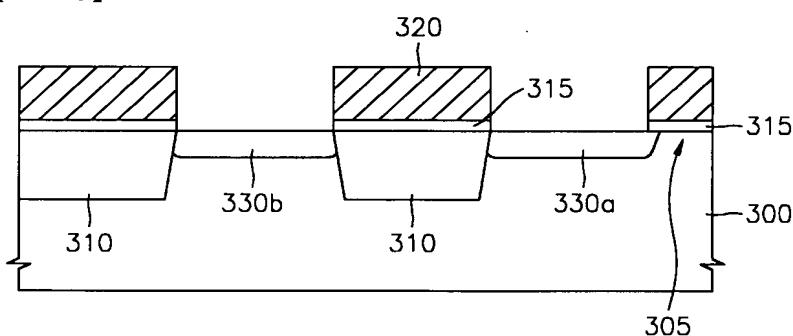
【도 8】



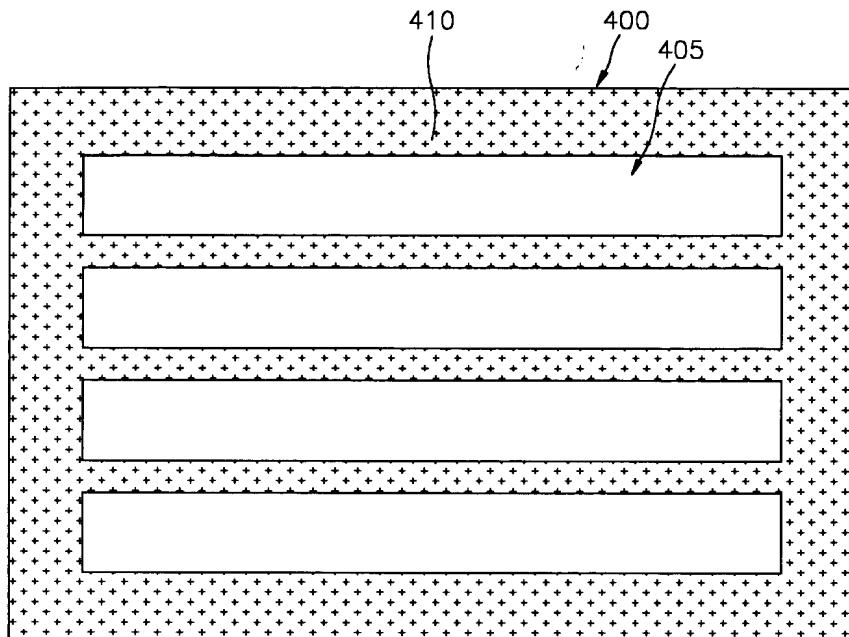
【도 9】



【도 10】



【도 11】



【도 12】

